

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220336

(43) 公開日 平成11年(1999) 8月10日

| (51) Int.Cl. <sup>a</sup> | 識別記号 | F I                        |
|---------------------------|------|----------------------------|
| H 0 3 F                   | 1/42 | H 0 3 F 1/42               |
|                           | 1/34 | 1/34                       |
|                           | 3/60 | 3/60                       |
|                           | 3/68 | 3/68                       |
| // H 0 3 F                | 1/30 | 1/30                       |
|                           |      | B                          |
|                           |      | A                          |
|                           |      | /                          |
|                           |      | 審査請求 有 請求項の数 7 O L (全 8 頁) |

(21) 出願番号 特願平10-319233

(22) 出願日 平成10年(1998)11月10日

(31) 優先権主張番号 特願平9-326442

(32) 優先日 平 9 (1997)11月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 角田 雄二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 深澤 善亮

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 若林 忠 (外4名)

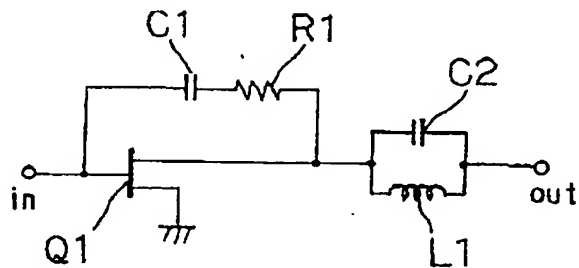
最終頁に続く

(54) 【発明の名称】 半導体回路

(57) 【要約】

【課題】 回路規模が大型化したり、インピーダンスの修正に手間をかけたりすることなく、安定してゲインスロープを実現する。

【解決手段】 ある周波数でピーキングを行い、利得に所望の傾き、例えば1 dB以上の傾きを有するゲインスロープを実現するための、キャパシタC2及びインダクタL1からなる共振回路を帰還ループの外部の出力段に設ける。



## 【特許請求の範囲】

【請求項1】 交流信号を増幅して出力する増幅回路と、該増幅回路の出力側から入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする半導体回路。

【請求項2】 多段に接続された複数の増幅回路と、該複数の増幅回路のうち少なくとも1つの増幅回路の出力側から入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする半導体回路。

【請求項3】 多段に接続された複数の増幅回路と、該複数の増幅回路のうち最終段の増幅回路の出力側から1段目の増幅回路の入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする半導体回路。

【請求項4】 入力端子を介して入力された信号を位相の異なる2つの信号に分配する分配手段と、帰還ループ及び複数の抵抗素子及び多段に接続されたFETを具備し、前記分配手段にて分配された信号をそれぞれ増幅する第1及び第2の増幅手段と、該第1及び第2の増幅手段にて増幅された2つの信号を1つの信号に合成して出力する合成手段とを有してなる半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする半導体回路。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体回路において、前記共振回路は、前記帰還ループの出力段に設けられていることを特徴とする半導体回路。

【請求項6】 請求項1乃至5のいずれか1項に記載の半導体回路において、前記共振回路は、キャパシタとインダクタ素子とから構成されていることを特徴とする半導体回路。

【請求項7】 請求項1乃至5のいずれか1項に記載の半導体回路において、前記共振回路は、容量成分を具備するインダクタ素子からなることを特徴とする半導体回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体回路に関し、特に、CATV用ハイブリッドIC(HIC)に用いられる半導体回路に関する。

【0002】

【従来の技術】CATV(ケーブルテレビ)用HIC(ハイブリッドIC)広帯域増幅器においては、増幅器が同軸ケーブルを介して縦列に複数段接続されており、その同軸ケーブルにおける損失の特性を補正するために

使用周波数帯域全体に利得の傾斜がついたゲインスロープ(利得傾斜)を実現する必要がある。ゲインスロープは帯域内で高周波数になるほどゲインが上がるというものである。

【0003】ここで、使用周波数帯域においては、近年、高い周波数帯域へ伸びてきているため、ゲインスロープの実現が困難になってきている。

【0004】図10及び図11は、実開昭58-85810号公報に示される従来より用いられるゲインスロープを実現するための回路の構成を示す回路図である。

【0005】図10及び図11に示す回路においては、バイアス帰還回路内に設けられたインダクタL101とトランジスタTr101のベース・エミッタ間に並列に設けられたキャパシタC102とによって並列共振回路が形成されており、さらに、共振回路におけるQを抑制するためにトランジスタTr101のベース・エミッタ間にキャパシタC102と直列に接続されたダンパ抵抗R106が設けられている。

【0006】上記のように構成された回路においては、インダクタL101及びキャパシタC102の素子定数を変えることにより共振周波数の変更が行われ、それにより、ピーキング周波数が調節されている。

【0007】図12及び図13は、特開平1-264404号公報に示される従来より用いられているゲインスロープを実現するための回路の構成を示す回路図である。

【0008】図12に示す回路においては、2つの増幅回路の間に設けられた段間回路内に、キャパシタC112とインダクタL111とによって直列共振回路が形成されており、さらに図13に示す回路においては、ソース・ドレイン間がインダクタL111と並列に接続されるようにFET113が設けられ、FET113のソース・ドレイン間の容量とインダクタL111とによって並列共振回路が形成されている。

【0009】上記のように構成された回路においては、ゲートバイアスを変化させて、FETのソース・ドレイン間の容量を変化させることにより共振周波数の変更が行われ、それにより、ピーキング周波数が調節されている。

【0010】

【発明が解決しようとする課題】しかしながら、上述したような従来の回路においては、以下に記載するような問題点がある。

【0011】(1)図10及び図11に示すものにおいて

インダクタL101及びキャパシタC102の素子定数を変えることにより共振周波数の変更が行われ、それにより、ピーキング周波数が調節されているが、インダクタL101及びキャパシタC102は帰還回路内に設けられているため、入力側及び出力側のインピーダンスが

ピーキング量に応じて変化してしまう。

【0012】そのため、入力、出力インピーダンスとゲインスロープという3つのファクタを持ち、設計及び調整に多大な工数を有することになる。

【0013】(2) 図12及び図13に示すものにおいて

ゲートバイアスを変化させ、FETのソース・ドレイン間の容量を変化させることにより共振周波数を変え、それにより、ピーキング周波数を調節しているため、ゲートバイアスを変化させるための可変用のバイアスが必要となる。また、FETも新たに設けなければならない。そのため、回路規模が大きくなり、コストの増大となる。

【0014】また、図12に示したものにおいては、共振周波数を変更するためには能動素子間のキャパシタC111及びインダクタL111を変更しなければならないため、利得を有する素子間の不整合においては、発振等の特性上の不具合を起こしやすく、安定性に欠ける。

【0015】本発明は、上述したような従来の技術が有する問題点を鑑みてなされたものであって、回路規模が大型化したり、インピーダンスの修正に手間をかけたりすることなく、安定してゲインスロープを実現することができる半導体回路を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために本発明は、交流信号を増幅して出力する増幅回路と、該増幅回路の出力側から入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする。

【0017】また、多段に接続された複数の増幅回路と、該複数の増幅回路のうち少なくとも1つの増幅回路の出力側から入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする。

【0018】また、多段に接続された複数の増幅回路と、該複数の増幅回路のうち最終段の増幅回路の出力側から1段目の増幅回路の入力側へフィードバックを行う帰還ループとを有する半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする。

【0019】また、入力端子を介して入力された信号を位相の異なる2つの信号に分配する分配手段と、帰還ループ及び複数の抵抗素子及び多段に接続されたFETを具備し、前記分配手段にて分配された信号をそれぞれ増幅する第1及び第2の増幅手段と、該第1及び第2の増幅手段にて増幅された2つの信号を1つの信号に合成して出力する合成手段とを有してなる半導体回路において、前記帰還ループの外部に共振回路を有することを特徴とする。

【0020】また、前記共振回路は、前記帰還ループの出力段に設けられていることを特徴とする。

【0021】また、前記共振回路は、キャパシタとインダクタ素子とから構成されていることを特徴とする。

【0022】また、前記共振回路は、容量成分を具備するインダクタ素子からなることを特徴とする。

【0023】(作用) 上記のように構成された本発明においては、ある周波数でピーキングを行い、利得に所望の傾き、例えば1dB以上の傾きを有するゲインスロープを実現するための共振回路が帰還ループの外部に設けられているので、回路を設計する際に発振動作を考慮する必要がない。

【0024】また、共振回路を帰還ループの出力段に設けた場合は、インピーダンスの変化が出力側にみにおいてしか生じず、入力側インピーダンスの変化が生じないので、入力側を考慮することなく2つのファクタにて回路の設計及び調整が可能となり調整が容易となる。

【0025】また、能動素子を付加する必要がないため、回路の大規模化が生じることはない。

【0026】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0027】(第1の実施の形態) 図1は、本発明の半導体回路の第1の実施の形態を示す回路図である。なお、本回路は、本発明の半導体回路の交流部分のみを抜き出したものである。

【0028】本形態は図1に示すように、ゲート端子が入力端子に接続され、ソース端子が接地されたFETQ1と、FETQ1のドレイン端子とゲート端子との間に直列に接続された抵抗R1及びキャパシタC1と、出力端子とFETQ1のドレイン端子との間に並列に接続されたキャパシタC2及びインダクタL1とから構成され、FETQ1、抵抗R1及びキャパシタC1によって帰還ループが形成されている。なお、帰還ループは、帯域及びインピーダンスを確保するために設けられている。

【0029】上記のように構成された半導体回路においては、インダクタL1とキャパシタC2とによる共振によって、ピーキングが発生するため、このインダクタL1とキャパシタC2の素子定数を変更することにより、共振周波数が変化し、利得に所望の傾き、例えば1dB以上の傾斜をつけることができる。

【0030】ここで、本形態においては、回路を構成する素子の定数を変更するためインピーダンスが変化するが、共振を発生させる回路が帰還ループの外部に設けられているため、出力側のインピーダンスのみが変化し、入力側のインピーダンスは変化しない。

【0031】そのため、図10及び図11に示したような入力側及び出力側のインピーダンスがともに変化してしまうものと比べて、設計、調整の工数を削減することができる。

【0032】また、素子定数の変更により共振周波数が

変更されているので、図12及び図13に示したようなFETのゲートバイアスを変更するための可変バイアスが不要となり、それにより、利得に傾斜をつけるために回路規模が大きくなることはなく、さらに、素子定数の変更は、段間素子におけるものではないため、インピーダンス不整合による発振等が生じることはない。

【0033】なお、本形態においては、インダクタL1とキャパシタC2とを並列に接続したが、直列に接続しても同様にピーキングが発生する。

【0034】上記のように構成された半導体回路においては、インダクタL1及びキャパシタC2からなる共振回路を、容量成分を含むチップインダクタンスのみで構成することもできる。

【0035】図2は、容量成分を含むチップインダクタンスの一構造例を示す図であり、図3は、図2に示したチップインダクタンスの等価回路図である。

【0036】本例におけるチップインダクタンスは図2に示すように、セラミック素体内において、L成分となる内部導体がばねのように幾層にもつながっており、導体と導体とに挟まれた部分がC成分となっている。そして、図3に示すように、L成分とC成分とを有する共振回路が形成されている。

【0037】図4は、図1に示した回路における共振回路が適用されていない場合の周波数対利得特性を示す図であり、図5は、図1に示した回路における周波数対利得特性を示す図である。

【0038】図5に示すように図1に示した回路においては、所望の周波数帯域において、利得に所望の傾斜、例えば1dB以上の傾斜を有するゲインスロープが実現されている。

【0039】(第2の実施の形態)図6は、本発明の半導体回路の第2の実施の形態を示す回路図である。なお、本回路は、本発明の半導体回路の交流部分のみを抜き出したものである。

【0040】本形態は図6に示すように、ゲート端子が入力端子に接続され、ソース端子が接地されたFETQ1と、FETQ1のドレイン端子とゲート端子との間に直列に接続された抵抗R1及びキャパシタC1と、ゲート端子がFETQ1のドレイン端子に接続され、ソース端子が接地されたFETQ2と、FETQ2のドレイン端子とゲート端子との間に直列に接続された抵抗R2及びキャパシタC3と、出力端子とFETQ2のドレイン端子との間に並列に接続されたキャパシタC2及びインダクタL1とから構成され、FETQ1、抵抗R1及びキャパシタC1によって第1の帰還ループが形成され、FETQ2、抵抗R2及びキャパシタC3によって第2の帰還ループが形成されている。

【0041】上記のように構成された半導体回路においても、第1の実施の形態において示したものと同様に、共振を発生させる回路が帰還ループの外部に設けられて

いるため、出力側のインピーダンスのみが変化し、入力側のインピーダンスは変化しない。それにより、設計、調整の工数を削減することができる。

【0042】(第3の実施の形態)図6に示した回路においては、帰還ループが2つ形成されているが、どちらか一方のみでも同様の効果を得ることができる。

【0043】図7は、本発明の半導体回路の第3の実施の形態を示す回路図である。なお、本回路は、本発明の半導体回路の交流部分のみを抜き出したものである。

【0044】図7に示したように本形態においては、インダクタL1及びキャパシタC2からなる共振回路が、FETQ1、抵抗R1及びキャパシタC1からなる帰還ループの外部に設けられているので、出力側のインピーダンスのみが変化し、入力側のインピーダンスは変化しない。それにより、設計、調整の工数を削減することができる。

【0045】なお、本形態においては、FETQ1、抵抗R1及びキャパシタC1から帰還ループが形成されているが、FETQ2を用いて帰還ループが形成されている場合においても、帰還ループの外部に共振回路を設ければ、同様の効果を得ることができる。

【0046】(第4の実施の形態)図6に示した回路において、FETQ2のドレイン端子からFETQ1のゲート端子へフィードバックを行う帰還ループであっても同様の効果を得ることができる。

【0047】図8は、本発明の半導体回路の第4の実施の形態を示す回路図である。なお、本回路は、本発明の半導体回路の交流部分のみを抜き出したものである。

【0048】図8に示したように本形態においては、インダクタL1及びキャパシタC2からなる共振回路が、FETQ1、Q2、抵抗R1及びキャパシタC1からなる帰還ループの外部に設けられているので、出力側のインピーダンスのみが変化し、入力側のインピーダンスは変化しない。それにより、設計、調整の工数を削減することができる。

【0049】なお、本形態においては、FETが2段に接続された回路について説明したが、FETにおいては、2つに限らず、多段に接続された複数のFETを用いた場合においても、帰還ループの外部に共振回路を設ければ、同様の効果を得ることができる。

【0050】(第5の実施の形態)図9は、本発明の半導体回路の第5の実施の形態を示す回路図である。

【0051】図9に示すように本形態においては、入力された信号が2つの異なる信号に分配され、分配された2つの信号が増幅回路12、13にてそれぞれ増幅され、増幅回路12、13にて増幅された信号が合成されて出力される。

【0052】入力端子1を介して入力された信号を位相の異なる2つの信号に分配する分配手段として、キャパシタC34、C35を介して接地されたトランスT1が

設けられ、増幅回路12、13にて増幅された2つの信号を1つの信号に合成する合成手段として、キャパシタC37を介して接地されたトランスT2が設けられている。

【0053】また、増幅回路12は、多段に接続されたFETQ11～Q13と、2段目のFETとなるFETQ11のゲート抵抗として互いに並列に接続されて設けられたサーミスタRt11及び抵抗R13と、サーミスタRt11及び抵抗R13とFETQ11のゲート端子との間に設けられたインダクタL13と、増幅回路12の入力となるFETQ12のゲート端子とドレイン端子との間に直列に接続された抵抗R11、キャパシタC11及びサーミスタRt12と、FETQ12のドレイン端子と所定電位との間に直列に接続された抵抗R12及びキャパシタC12と、サーミスタRt11及び抵抗R13とFETQ12のドレイン端子との間に接続されたキャパシタC13と、FETQ12のドレイン端子とFETQ11のソース端子との間に直列に接続されたインダクタL11及び抵抗R17と、インダクタL11と抵抗R17との接続点と所定電位との間に接続されたキャパシタC15と、FETQ12のドレイン端子とFETQ13のドレイン端子との間に直列に接続された抵抗R14、キャパシタC14及びサーミスタRt13と、FETQ13のゲート端子に接続された抵抗R16と、FETQ13のドレイン端子と増幅回路12の出力端子との間に互いに並列に接続されて設けられた抵抗R15、インダクタL12及びキャパシタC16とから構成されており、FETQ11のドレイン端子とFETQ13のソース端子とが接続されている。

【0054】また、増幅回路13は、多段に接続されたFETQ21～Q23と、2段目のFETとなるFETQ21のゲート抵抗として互いに並列に接続されて設けられたサーミスタRt21及び抵抗R23と、サーミスタRt21及び抵抗R23とFETQ21のゲート端子との間に設けられたインダクタL23と、増幅回路13の入力となるFETQ22のゲート端子とドレイン端子との間に直列に接続された抵抗R21、キャパシタC21及びサーミスタRt22と、FETQ22のドレイン端子と所定電位との間に直列に接続された抵抗R22及びキャパシタC22と、サーミスタRt21及び抵抗R23とFETQ22のドレイン端子との間に接続されたキャパシタC23と、FETQ22のドレイン端子とFETQ21のソース端子との間に直列に接続されたインダクタL21及び抵抗R27と、インダクタL21と抵抗R27との接続点と所定電位との間に接続されたキャパシタC25と、FETQ22のドレイン端子とFETQ23のドレイン端子との間に直列に接続された抵抗R24、キャパシタC24及びサーミスタRt23と、FETQ23のゲート端子に接続された抵抗R26と、FETQ23のドレイン端子と増幅回路13の出力端子と

の間に互いに並列に接続されて設けられた抵抗R25、インダクタL22及びキャパシタC26とから構成されており、FETQ21のドレイン端子とFETQ23のソース端子とが接続されている。

【0055】なお、FETQ13のゲート端子とFETQ23のゲート端子とは抵抗R16、R26を介して互いに接続されている。

【0056】また、トランスT1の入力側には、トランスT1と入力端子1との間に直列に接続されたキャパシタC33及びインダクタL31と、キャパシタC33とインダクタL31との接続点と所定電位との間に直列に接続されたキャパシタC31及び抵抗R31と、キャパシタC33とインダクタL31との接続点と所定電位との間に接続されたキャパシタC32とが設けられており、さらに、トランスT2の出力側には、トランスT2と出力端子2との間に直列に接続されたインダクタL32及びキャパシタC39と、インダクタL32とキャパシタC39との接続点と所定電位との間に接続されたキャパシタC38とが設けられている。

【0057】また、増幅回路12と増幅回路13の間には、FETQ11のソース端子とFETQ21のソース端子との間に接続された抵抗R41と、FETQ11のゲート端子とFETQ21のゲート端子との間に直列に接続された抵抗R39、R40と、抵抗R39と抵抗R40との接続点とトランスT1との間に直列に接続された抵抗R33、R34と、抵抗R33とトランスT1との接続点と所定電位との間に直列に接続された抵抗R32及びサーミスタRt31、Rt32と、抵抗R39、R40の接続点と抵抗R34との接続点と所定電位との間に接続された抵抗R35と、FETQ12のソース端子とFETQ22のソース端子との間に接続された抵抗R37と、FETQ12のソース端子と所定電位との間に接続された抵抗R36と、FETQ22のソース端子と所定電位との間に接続された抵抗R38と、抵抗R16と抵抗R26との接続点とトランスT2との間に接続された抵抗R42、R43と、抵抗R42と抵抗R43との接続点と所定電位との間に並列に接続された抵抗R44及びキャパシタC40と、抵抗R42とトランスT2との接続点と所定電位との間に接続されたキャパシタC36とが設けられており、さらに、抵抗R33と抵抗R34との接続点、並びに抵抗R42とトランスT2との接続点は、電源電圧V<sub>dd</sub>が印加されている。

【0058】なお、サーミスタRt11、Rt21、Rt31は、周囲温度に応じて負の温度特性を有して抵抗値が変化する感温抵抗素子であり、サーミスタRt12、Rt13、Rt22、Rt23、Rt32は、周囲温度に応じて正の温度特性を有して抵抗値が変化する感温抵抗素子である。

【0059】上記のように構成された半導体回路においては、インダクタL12とキャパシタC16とによる共

振(同様に、インダクタL22とキャパシタC26とによる共振)によって、ピーキングが発生するため、このインダクタL12とキャパシタC16の素子定数(同様に、インダクタL22とキャパシタC26の素子定数)を変更することにより、共振周波数が変化し、かつ、Qダンピング用の抵抗R15、R25にてQが制御され、利得に1dB以上の傾斜をつけることができる。

【0060】ここで、本形態においては、回路を構成する素子の定数を変更するためインピーダンスが変化するが、増幅回路12内において、インダクタL12及びキャパシタC16からなる共振回路がFETQ11~Q13を用いた帰還ループの外部に設けられており、また、増幅回路13内において、インダクタL22及びキャパシタC26からなる共振回路がFETQ21~Q23を用いた帰還ループの外部に設けられているため、出力側のインピーダンスのみが変化し、入力側のインピーダンスは変化しない。

【0061】それにより、設計、調整の工数を削減することができる。

【0062】また、素子定数の変更により共振周波数が変更されているので、FETのゲートバイアスを変更するための可変バイアスが不要となり、それにより、利得に傾斜をつけるために回路規模が大きくなることはなく、さらに、素子定数の変更は、段間素子におけるものではないため、インピーダンス不整合による発振等が生じることはない。

【0063】また、本形態においては、FETQ11、Q21のゲート抵抗として、負の温度特性を有するサーミスタRt11、Rt21がそれぞれ設けられている。

【0064】そのため、増幅回路12内においては、インダクタL12及びキャパシタC16からなる共振回路にて発生するゲインスロープの周囲温度に対する利得特性の変動と、キャパシタC13、サーミスタRt11、インダクタL13からなる回路におけるQ値の周囲温度に対する変動とが互いに打ち消すように働き、それにより、周囲温度が変化した場合においても、増幅回路12から出力されるゲインスロープの傾斜特性は一定となる。

【0065】また、増幅回路13内においても同様に、インダクタL22及びキャパシタC26からなる共振回路にて発生するゲインスロープの周囲温度に対する利得特性の変動と、キャパシタC23、サーミスタRt21、インダクタL23からなる回路におけるQ値の周囲温度に対する変動とが互いに打ち消すように働き、それにより、周囲温度が変化した場合においても、増幅回路13から出力されるゲインスロープの傾斜特性は一定となる。

【0066】また、本形態においては、抵抗R33とトランスT1との接続点と所定電位との間にサーミスタRt31、Rt32が直列に接続されている。

【0067】それにより、所定の温度付近における電流値が最小値をとり、所定の温度から周囲温度が下がるにつれて回路電流が増加し、かつ、所定の温度から周囲温度が上昇するにつれて回路電流が増加するようになり、温度変化により生じる歪み特性の劣化を防止することができる。

【0068】また、本形態においては、抵抗R16と抵抗R26との接続点と抵抗R42との間に10~100Ωの抵抗値を有する抵抗R43が設けられ、かつ、抵抗R42と抵抗R43との接続点と所定電位との間にキャパシタC40が設けられており、それらの回路定数が終端条件に設定されている。

【0069】それにより、図中のA点において電位変動が生じた場合、該電位変動(波)が抵抗R43に吸収され、定在波が発生せず、それが原因となって生じる偶数次歪み(主にCSO)の劣化を防ぐことができる。

【0070】

【発明の効果】以上説明したように本発明においては、共振回路を帰還ループの外側に設けたことにより、回路を設計する際に発振動作を考慮する必要がなく、また、出力インピーダンスのみの変化だけで利得に所望の傾き、例えば1dB以上の傾きを有するゲインスロープを実現することができる。このとき、インピーダンスの変化は出力側のみなので、インピーダンスの修正も容易に行うことができる。

【0071】さらに、共振回路も容量成分を含んだインダクタのみで構成することにより簡便なピーキング回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体回路の第1の実施の形態を示す回路図である。

【図2】容量成分を含むチップインダクタンスの一構造例を示す図である。

【図3】図2に示したチップインダクタンスの等価回路図である。

【図4】図1に示した回路における共振回路が適用されていない場合の周波数対利得特性を示す図である。

【図5】図1に示した回路における周波数対利得特性を示す図である。

【図6】本発明の半導体回路の第2の実施の形態を示す回路図である。

【図7】本発明の半導体回路の第3の実施の形態を示す回路図である。

【図8】本発明の半導体回路の第4の実施の形態を示す回路図である。

【図9】本発明の半導体回路の第5の実施の形態を示す回路図である。

【図10】実開昭58-85810号公報に示される従来より用いられるゲインスロープを実現するための回路の構成を示す回路図である。

【図11】実開昭58-85810号公報に示される従来より用いられるゲインスロープを実現するための回路の構成を示す回路図である。

【図12】特開平1-264404号公報に示される従来より用いられているゲインスロープを実現するための回路の構成を示す回路図である。

【図13】特開平1-264404号公報に示される従来

\* 来より用いられているゲインスロープを実現するための回路の構成を示す回路図である。

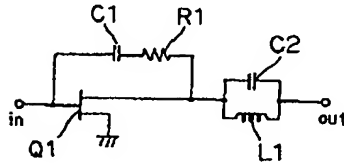
【符号の説明】

1 入力端子

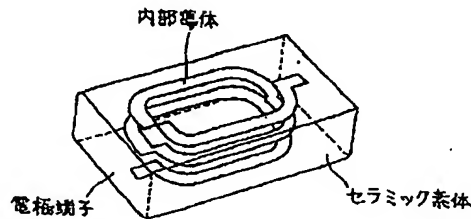
2 出力端子

12, 13 増幅回路

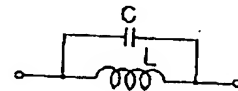
【図1】



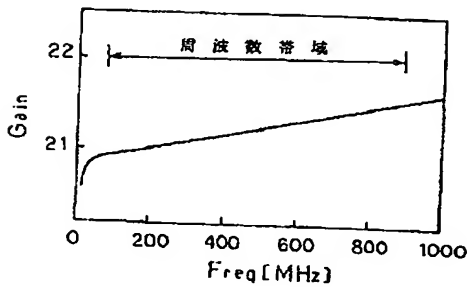
【図2】



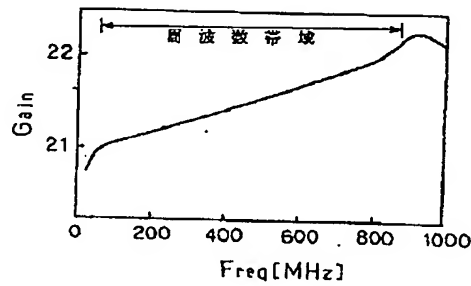
【図3】



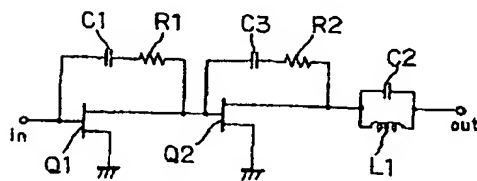
【図4】



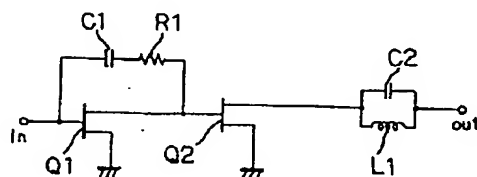
【図5】



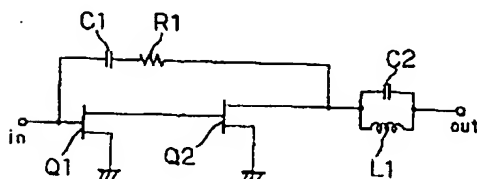
【図6】



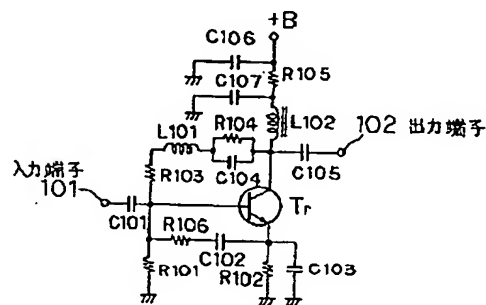
【図7】



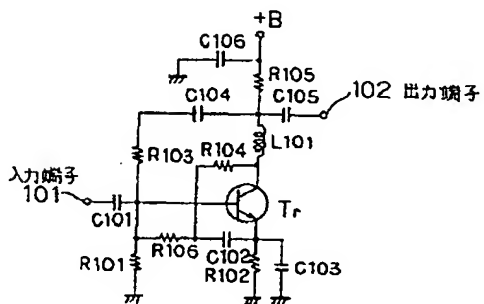
【図8】



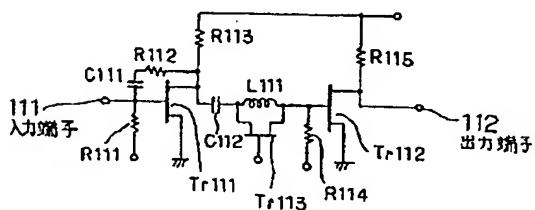
【図10】



【圖 12】



【圖 13】



(72)発明者 田口 雄一

- 8 -